

HYBRID INTEGRATED CIRCUIT

2

Publication number: JP1233795

Also published as:

Publication date: 1989-09-19

US4901203 (A)

Inventor: KOBAYASHI TETSUO; OKAWA AKIHISA

Applicant: MITSUBISHI ELECTRIC CORP

Classification:

- International: H05K9/00; H01L23/02; H01L25/16; H05K1/14;
H05K5/00; H05K7/14; H05K7/20; H05K9/00;
H01L23/02; H01L25/16; H05K1/14; H05K5/00;
H05K7/14; H05K7/20; (IPC1-7): H01L23/02; H05K5/00;
H05K7/14; H05K7/20; H05K9/00

- European: H01L25/16F; H05K1/14D

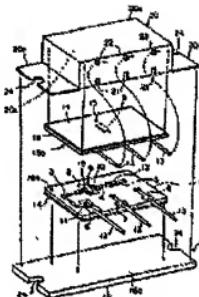
Application number: JP19880059362 19880315

Priority number(s): JP19880059362 19880315

[Report a data error](#) [he](#)

Abstract of JP1233795

PURPOSE: To eliminate the mutual electromagnetic interference between a hybrid integrated circuit and external circumstances and increase the scale of the hybrid integrated circuit by a method wherein insulating boards are provided on the inner surfaces of a conductor casing which face each other and circuits are provided on the respective insulating substrates so as to face each other. CONSTITUTION: A closed space 23 is defined by a conductor substrate 16 and a conductor cap 20. Insulating substrates 1a and 1b are provided on the surfaces 16a and 20a in the closed space 23 which face each other respectively while the circuits 18a and 18b on the insulating substrates 1a and 1b are made to face each other. The conductor thin films 14 of the circuits 18a and 18b are welded to the conductor substrate 16 and conductor cap 20 respectively. The grounding lines of the circuits 18a and 18b are connected to a conductor casing 19. Thus, circuits provided around the hybrid integrated circuit are protected from the electromagnetic influence. At the same time, the influence upon the circuits 18a and 18b can be also minimized. With this, the scale of the hybrid integrated circuit can be raised.



Data supplied from the esp@cenet database - Worldwide

⑫ 公開特許公報 (A) 平1-233795

⑬ Int. Cl. *	識別記号	序内整理番号	⑭ 公開 平成1年(1989)9月19日
H 05 K 7/14		B-7373-5E	
H 01 L 23/02		E-6412-5F	
H 05 K 5/00		A-6835-5E	
7/20 9/00		B-7373-5E	
		U-7039-5E	審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 混成集積回路

⑯ 特 願 昭63-59362
 ⑰ 出 願 昭63(1988)3月15日

⑱ 発明者 小林 徹夫 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内
 ⑲ 発明者 大川 晃久 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内
 ⑳ 出願人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号
 ㉑ 代理人 弁理士曾我道照 外4名

明細書

1. 発明の名称

混成集積回路

2. 特許請求の範囲

少なくとも一対の対向する内面を有する導体ケーシングと、

前記導体ケーシングの前記一対の内面上にそれだけられ、互いに対向する第1及び第2の絶縁基板と、

前記第1及び第2の絶縁基板の互いに対向する表面上にそれぞれ配置された第1及び第2の回路と

を備えたことを特徴とする混成集積回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、混成集積回路に係り、特に高周波高出力用の混成集積回路に関するものである。

〔従来の技術〕

従来、高周波高出力用の混成集積回路は第4回路に示すような構造を有していた。

絶縁基板(1)上に導体パターン(2)～(8)が形成されており、導体パターン(2)上には半導体素子(9)がハンダ等により接着されている。半導体素子(9)は、導体パターン(2)との接着面上に形成された接地ラインと、この面とは反対側の面上に形成された内部電極とを有しており、半導体素子(9)の接着面上により接地ラインが導体パターン(2)に接続されている。一方、半導体素子(9)の内部電極は金属細線(10)により導体パターン(3)及び(4)に接続されている。また、チップコンデンサ(11)及び(12)等の回路素子が各導体パターン間に接続されると共に導体パターン(6)～(8)にはそれぞれリード(13)の一端が接続され、他端は絶縁基板(1)の外方に引き出されている。

絶縁基板(1)の裏面上には例えばAg/PtやAuからなる接地用の導体薄膜(14)が全面に形成されており、スルーホール(15)を介して導体パターン(2)と導体薄膜(14)とが電気的に接続されている。

この導体薄膜(14)を接地及び放熱用の金属板

(16)上に接着させることにより、絶縁基板(1)が金属板(16)上に装着されている。さらに、金属板(16)上にはアラスチック等からなり絶縁基板(1)を覆うキャップ(17)が設けられ、これにより絶縁基板(1)が保護されている。

このような構成の混成集積回路内にリード(13)を通して高周波電流を供給し、回路を作動させると、半導体素子(9)等から熱が発生するが、この熱は導体パターン(2)、スルーホール(15)及び導体薄膜(14)を介して金属板(16)へと伝わり、金属板(16)から外部へ放散される。

[発明が解決しようとする課題]

このように従来の混成集積回路では、金属板(16)上に1つの絶縁基板(1)が搭載され、この絶縁基板(1)上に1つの回路が形成されていた。

ところが、電子装置は一段に複数の回路から構成されており、これら回路の中には共に1つのパッケージ内に実装して小形化を図ると便利なものが少くない。例えば、パワーアンプ回路とこれを駆動するドライバ回路は、それぞれ個別の混成

積回路で構成してそれらを接続して配置し互いに接続するよりも、これら2つの回路を1つの混成集積回路内に集成させた方が、より小形で信頼性の高いものとなる。

従来、このような高集積度の混成集積回路を形成しようとすると、1枚の大きな金属板上に複数の回路を並べて実装しなければならず、小形化を達成することは困難であった。

また、従来は、絶縁基板(1)を保護するためのキャップ(17)がアラスチック等の誘電体から形成されていたので、特に高周波高出力用の混成集積回路はその周辺の回路との間で電磁的相互干渉を引き起こしやすく、電子装置の信頼性の低下を招く恐れがあった。このため、混成集積回路の周辺を導体でシールドする必要があった。

この発明はこのような問題点を解消するためになされたもので、集積度を向上させると共に外部との電磁的相互干渉が起こりにくく、高い信頼性を有する混成集積回路を得ることを目的とする。

[課題を解決するための手段]

この発明に係る混成集積回路は、第1及び第2の絶縁基板が導体ケーシングの内面上に互いに対向して設けられ、これら第1及び第2の絶縁基板の互いに対向する表面上にそれぞれ第1及び第2の回路が配置されたものである。

[作用]

この発明においては、ケーシングが導体から形成され、このケーシング内に2つの絶縁基板が配置される。すなわち、ケーシングが2つの絶縁基板の接地用及び放熱用の導体となると共にこのケーシングにより各絶縁基板上に配置されている第1及び第2の回路の電磁シールドがなされる。

[実施例]

以下、この発明の実施例を添付図面に基づいて説明する。

第1図はこの発明の一実施例に係る高周波高出力用の混成集積回路を示す分解斜視図である。

この第1図において、第1及び第2の絶縁基板(1a)及び(1b)は第4図に示した従来の絶縁基板

(1)と同様の構造を有している。

すなわち、セラミック等からなる絶縁基板(1a)上に導体パターン(2)～(8)が形成され、導体パターン(2)上には半導体素子(9)がハンダ等により接着されている。半導体素子(9)は、導体パターン(2)との接着面上に形成された接地ラインと、この面とは反対側の面上に形成された内部電極とを有しており、半導体素子(9)の接着により接地ラインが導体パターン(2)に接続されている。一方、半導体素子(9)の内部電極は金属絶縁(10)により導体パターン(3)及び(4)に接続されている。また、チップコンデンサ(11)及び(12)等の回路素子が各導体パターン間に接続されると共に導体パターン(6)～(8)にはそれぞれリード(13)の一端が接続され他端は絶縁基板(1a)の外方に引き出されている。そして、これらにより絶縁基板(1a)上に第1の回路(18a)が形成されている。

絶縁基板(1a)の裏面上には例えばAg/PtやAuからなる接地用の導体薄膜(14)が全面に形成さ

れており、スルーホール(15)を介して導体バターン(2)と導体薄膜(14)とが電気的に接続されている。

同様にして、第2の絶縁基板(1b)の表面上に第2の回路(18b)が形成され、裏面上には導体薄膜(14)が形成されている。

これら第1の絶縁基板(1a)及び第2の絶縁基板(1b)が導体ケーシング(19)内に装着されている。導体ケーシング(19)は導体板(16)との導体板(16)上に設けられた導体キャップ(20)から形成されている。導体キャップ(20)は、導体板(16)に面する側が開口している筐体部(20a)と、この筐体部(20a)の開口端部から外方に向かって設けられたフランジ部(20b)とを有しており、フランジ部(20b)が導体板(16)上に接着され、これにより導体板(16)と導体キャップ(20)とが電気的に接続されている。

このような導体ケーシング(19)の導体板(16)の表面(16a)上に第1の絶縁基板(1a)

の導体薄膜(14)が接着され、導体キャップ(20)の筐体部(20a)の天井面(20c)上に第2の絶縁基板(1b)の導体薄膜(14)が接着されている。ここで、第2の絶縁基板(1b)は第1の絶縁基板(1a)とは裏返しに配置され、第1の回路(18a)と第2の回路(18b)とが対向している。従って、第1図では第2の回路(18b)が第2の絶縁基板(1b)の背後(第1図で下方)に位置しており、簡略化のため第2の回路(18b)は半導体素子(9)、リード(13)、導体薄膜(14)及びスルーホール(15)のみが示されている。

尚、第1及び第2の回路(18a)及び(18b)の各リード(13)はそれぞれ導体キャップ(20)の筐体部(20a)の側面に設けられている切欠部(21)及び貫通孔(22)を通して導体キャップ(20)の外部に引き出されている。

すなわち、第2図に示されるように、導体板(16)と導体キャップ(20)とにより1つの開空間(23)が形成され、この開空間(23)内の互いに対向する面(16a)及び(20c)上にそれぞれ

絶縁基板(1a)及び(1b)が互いの回路(18a)及び(18b)を対向させつつ配置されている。そして、各絶縁基板(1a)及び(1b)の導体薄膜(14)はそれぞれ導体板(16)及び導体キャップ(20)に接着され、これにより各回路(18a)及び(18b)の接地ラインが導体ケーシング(19)に接続されている。

このような混成集積回路を製造する場合には、第1図に示すように、まず第1及び第2の絶縁基板(1a)及び(1b)の表面上にそれぞれ第1及び第2の回路(18a)及び(18b)を形成すると共に裏面上に導体薄膜(14)を形成した後、第1の絶縁基板(1a)の導体薄膜(14)を導体板(16)の表面(16a)上に、第2の絶縁基板(1b)の導体薄膜(14)を導体板(20)の天井面(20c)上にそれぞれ接着する。このとき、第2の回路(18b)の筐体部(20a)の側面に設けられている貫通孔(22)を通して導体キャップ(20)の外部に引き出しておく。

次に、第1の回路(18a)の各リード(13)が導体キャップ(20)の切欠部(21)を通るように、導体キャップ(20)を導体板(16)の上に載置し、導体キャップ(20)のフランジ部(20b)を導体板(16)上に接着する。

このようにして製造された混成集積回路は、導体キャップ(20)のフランジ部(20b)及び導体板(16)の端部に形成されている切欠部(24)を利用して、これが使用される電気機器のケーシング等(図示せず)にボルト締め等により搭載される。そして、この混成集積回路内にリード(13)を通して高周波電流を供給し、回路(18a)及び(18b)を作動させると、各半導体素子(9)から熱が発生する。第1の回路(18a)の半導体素子(9)から発生した熱は、導体パターン(2)、スルーホール(15)、導体薄膜(14)及び導体板(16)を介して電気機器のケーシングに伝わり、一方第2の回路(18b)の半導体素子(9)から発生した熱は、導体パターン(2)、スルーホール(15)、導体薄膜(14)、導体キャップ(20)及

び導体板(16)を介して電気機器のケーシングに伝わり、外部へ放散される。

また、高周波電流が供給されることにより第1及び第2の回路(18a)及び(18b)の周辺に強い電磁場が形成され易くなるが、これらの回路は導体ケーシング(19)によってシールドされているので、この混成集積回路の周辺に位置する回路に電磁的な影響を与えることが防止される。同様に、外部の電磁場あるいは電磁波により混成集積回路内の第1及び第2の回路(18a)及び(18b)が受けける影響も最小限に抑えられ、混成集積回路の信頼性が向上する。

尚、各リード(13)をそれぞれ外部に引き出すための導体キャップ(20)の切欠部(21)と貫通孔(22)はそれぞれ第1の回路用と第2の回路用とに分離して設計しなくともよく、第3図に示すように、第1の回路(18a)と第2の回路(18b)に共通した細長い切欠部(25)とすることもできる。

さらに、導体ケーシング(19)内で第1の回路

(18a)と第2の回路(18b)の所要部分をワイヤ等で接続することにより、第1の回路(18a)及び第2の回路(18b)の内いずれか一方のみからリード(13)を引き出すように構成することもできる。この場合、導体キャップ(20)は切欠部(21)あるいは貫通孔(22)のいずれか一方を有していればよい。

また、第1及び第2の回路(18a)及び(18b)の具体例としては、パワーアンプ回路とこれを駆動するドライバ回路が挙げられる。この場合、より発熱しやすいパワーアンプ回路を第1の回路(18a)として導体板(16)上に設けた方が、然が電気機器のケーシングに伝わって放散され易く好ましい。

その他、パワー系の回路と制御系の回路を組み込んだり、無線機器においてVHFとUHFのように周波数帯の異なる2つのパワーアンプ回路を組み込んでよく、またこれら以外の回路を組み合せることもできる。

さらに、第1の絶縁基板(1a)と第2の絶縁基

板(1b)との間に導体ケーシング(19)と電気的に接続された導体板を設け、この導体板に第1及び第2以外の絶縁基板を装着することにより、3層以上の多層構造として3種以上の回路を組み込むこと也可以。

尚、導体ケーシング(19)は金属を始めとして各種の導体から形成することができる。ただし、放熱性を考慮すると熱伝導性の優れた物質であることが望ましい。また、絶縁基板(1a)及び(1b)はセラミック製に限らず、各種の絶縁体から形成することができる。

[発明の効果]

以上説明したようにこの発明によれば、導体ケーシングの互いに対向する内面上にそれぞれ絶縁基板が配置され、これら絶縁基板上に互いに対向して回路が配置される。すなわち、ケーシングが2つの絶縁基板の接地面及び放熱用の導体となると共にこのケーシングにより各絶縁基板上に配置されている第1及び第2の回路の電磁シールドがなされる。従って、外部との電磁的相互干渉が

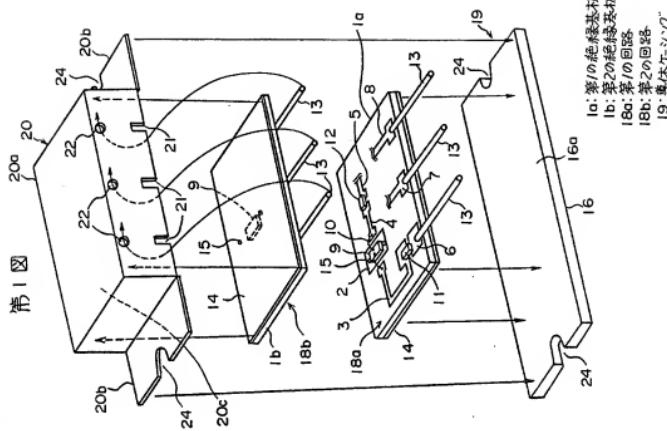
起こりにくく、高い信頼性を有する混成集積回路が得られると共に、混成集積回路の集成度が向上する。

4. 図面の簡単な説明

第1図はこの発明の一実施例に係る混成集積回路の分解斜視図、第2図は第1図の実施例の断面図、第3図は他の実施例の金属キャップを示す斜視図、第4図は従来の混成集積回路の分解斜視図である。

図において、(1a)は第1の絶縁基板、(1b)は第2の絶縁基板、(18a)は第1の回路、(18b)は第2の回路、(19)は導体ケーシングである。

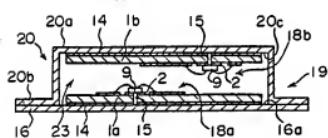
なお、各図中同一符号は同一または相当部分を示す。



第1図

第4図

第2図



第3図

